



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Osamu ARISUMI, et al.

GAU:

SERIAL NO: 10/760,499

EXAMINER:

FILED: January 21, 2004

FOR: SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☒ Full benefit of the filing date of International Application Serial Number PCT/JP03/06671, filed May 28, 2003, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e):
- | <u>Application No.</u> | <u>Date Filed</u> |
|--|-------------------|
| <input checked="" type="checkbox"/> Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below. | |

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:


<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
JAPAN	2002-154585	May 28, 2002

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number
- Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.


Marvin J. Spivak

Registration No. 24,913
Joseph A. Scafetta, Jr.
Registration No. 26,803

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

0250628P1
101760, 499

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 5 月 2 8 日
Date of Application:

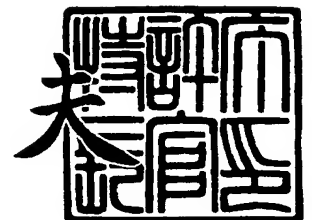
出 願 番 号 特 願 2 0 0 2 - 1 5 4 5 8 5
Application Number:
[ST. 10/C]: [J P 2 0 0 2 - 1 5 4 5 8 5]

出 願 人
Applicant(s): 株式会社東芝
 インフィネオン テクノロジース アクチエンゲゼルシャフ
 ト

2 0 0 4 年 1 月 2 7 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 4 - 3 0 0 3 0 8 3

【書類名】 特許願

【整理番号】 A000202600

【提出日】 平成14年 5月28日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/00

【発明の名称】 半導体装置及びその製造方法

【請求項の数】 11

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

【氏名】 有隅 修

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

【氏名】 今井 馨太郎

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

【氏名】 山川 晃司

【発明者】

【住所又は居所】 東京都品川区旗の台 6 - 3 0 - 9 シュロス洗足B

【氏名】 文 範基

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【特許出願人】

【識別番号】 599158797

【氏名又は名称】 インフィネオン テクノロジース アクチエンゲゼルシャフト

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100068814

【弁理士】

【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9705037

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】

下部電極と、

上部電極と、

前記上部電極と下部電極との間に形成され、Pb、Zr、Ti 及びOを含有したペロブスカイト型の強誘電体で形成された誘電体膜と、

を備えた半導体装置であって、

前記誘電体膜は、複数の結晶粒で形成され粒界の方向が複数の方向を有している第1の膜を含む

ことを特徴とする半導体装置。

【請求項 2】

前記第1の膜に含まれる結晶粒の形状は円錐状又は卵状である

ことを特徴とする請求項1に記載の半導体装置。

【請求項 3】

前記誘電体膜は、前記第1の膜上に形成された第2の膜をさらに含み、第2の膜は複数の結晶粒で形成され粒界の方向が一方向である

ことを特徴とする請求項1に記載の半導体装置。

【請求項 4】

前記第2の膜に含まれる結晶粒の形状は柱状である

ことを特徴とする請求項3に記載の半導体装置。

【請求項 5】

前記下部電極及び上部電極の少なくとも一方は、Ruを含有した膜を含む

ことを特徴とする請求項1に記載の半導体装置。

【請求項 6】

下部電極上にPb、Zr、Ti 及びOを含有したペロブスカイト型の強誘電体で形成された誘電体膜を形成する工程と、前記誘電体膜上に上部電極を形成する工程と、を備えた半導体装置の製造方法であって、

前記誘電体膜を形成する工程は、P b、Z r、T i 及びOを含有した第1の膜を形成する工程と、前記第1の膜を不活性ガス雰囲気中でアニールする工程と、を含む

ことを特徴とする半導体装置の製造方法。

【請求項7】

前記誘電体膜を形成する工程は、前記第1の膜を不活性ガス雰囲気中でアニールする工程の後に、前記第1の膜を酸素ガス雰囲気中でアニールする工程をさらに含む

ことを特徴とする請求項6に記載の半導体装置の製造方法。

【請求項8】

前記第1の膜を形成する工程は、P b、Z r、T i 及びOを含有した下層部を形成する工程と、前記下層部をアニールする工程と、前記アニールされた下層部上にP b、Z r、T i 及びOを含有した上層部を形成する工程と、を含む

ことを特徴とする請求項7に記載の半導体装置の製造方法。

【請求項9】

前記下層部をアニールする工程は、前記下層部を酸素ガス雰囲気中でアニールする工程と、前記下層部を酸素ガス雰囲気中でアニールする工程の後に、前記下層部を不活性ガス雰囲気中でアニールする工程と、を含む

ことを特徴とする請求項8に記載の半導体装置の製造方法。

【請求項10】

前記誘電体膜を形成する工程は、前記アニールされた第1の膜上にP b、Z r、T i 及びOを含有した第2の膜を形成する工程と、前記第2の膜を酸素ガス雰囲気中でアニールする工程と、をさらに含む

ことを特徴とする請求項6に記載の半導体装置の製造方法。

【請求項11】

前記不活性ガスは、H e ガス、N e ガス、A r ガス、K r ガス、X e ガス、R n ガス及び窒素ガスの少なくとも一つを含む

ことを特徴とする請求項6に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置及びその製造方法、特に強誘電体を用いたキャパシタを有する半導体装置及びその製造方法に関する。

【0002】

【従来の技術】

近年、LSI (Large scale integrated circuit) のアプリケーション分野が大きく変貌している。従来の主な応用分野であった大型計算機、EWS、パーソナルコンピュータなどから、現在では、携帯端末、マルチメディアへの応用へと移行しつつある。このため、低消費電力化・高速動作化のみならず、不揮発性機能の付加が重要となってきた。また、高性能・多機能化には、新材料の導入が不可欠になってきている。

【0003】

例えば、現在、情報記憶用のキャパシタの絶縁膜として、ペロブスカイト化合物或いはビスマス層状化合物などの強誘電体膜を用いた、不揮発性の強誘電体メモリ (Ferroelectric RAM) が注目されている。この強誘電体メモリは、フラッシュメモリ、SRAM及びDRAMとの置き換え、ロジック混載デバイスへの適用など、次世代のメモリとしての期待が極めて大きい。また、この強誘電体メモリは、バッテリーレスで高速動作が可能であるため、非接触カード (RF-ID: Radio Frequency-Identification) への展開が始まっている。

【0004】

上記強誘電体メモリに用いる材料には、揮発性の高い元素或いは、製造過程で拡散して他の材料と反応する元素を含むものが多い。そのため、製造プロセスの大きな支障となっている。

【0005】

強誘電体膜として用いられる代表的な複合酸化物の一つとして、PZT膜 (Pb (Zr, Ti) O₃ 膜) がある。PZT膜に含有される鉛 (Pb) は、他の含有元素に比べて蒸気圧が高い。そのため、アモルファス膜を低温成膜した後、高温加熱処理を行って結晶性の膜にする方法が一般的となっている。例えば、スパ

ッタリング法などを用いて室温でアモルファス P Z T 膜を形成した後、酸素雰囲気において、高速昇温熱処理 (RTA: Rapid Thermal Annealing) 法を用いて瞬時に結晶化する方法が、広く用いられている。

【0006】

しかしながら、製造工程を通して P b 量を制御するのは難しいため、半導体デバイスを高い精度で歩留まりよく形成することは極めて困難である。また、信頼性を向上させる観点から、キャパシタの電極には I r O₂、R u O₂、S R O (S r R u O₃)、L S C O ((L a, S r) C o O₃) 等の酸化物電極が用いられているが、これらの電極材料に含有された元素が P Z T 膜中に拡散して P b などと反応し、I - V 特性や強誘電性を劣化させるおそれもある。

【0007】

さらに従来は、アモルファス P Z T 膜を酸素雰囲気中でアニールして結晶化させていたため、後述するように P Z T 膜の結晶が柱状となり、リーク電流の増大や分極披露特性の悪化等の原因となっていた。

【0008】

【発明が解決しようとする課題】

このように、従来は、リーク電流の増大や分極披露特性の悪化等、特性や信頼性に優れた強誘電体キャパシタを得ることが困難であった。

【0009】

本発明は、上記従来の課題に対してなされたものであり、特性や信頼性に優れたキャパシタを有する半導体装置及びその製造方法を提供することを目的としている。

【0010】

【課題を解決するための手段】

本発明に係る半導体装置は、下部電極と、上部電極と、前記上部電極と下部電極との間に形成され、P b、Z r、T i 及び O を含有したペロブスカイト型の強誘電体で形成された誘電体膜と、を備えた半導体装置であって、前記誘電体膜は、複数の結晶粒で形成され粒界の方向が複数の方向を有している第 1 の膜を含むことを特徴とする。

【0011】

本発明に係る半導体装置の製造方法は、下部電極上にPb、Zr、Ti及びOを含有したペロブスカイト型の強誘電体で形成された誘電体膜を形成する工程と、前記誘電体膜上に上部電極を形成する工程と、を備えた半導体装置の製造方法であって、前記誘電体膜を形成する工程は、Pb、Zr、Ti及びOを含有した第1の膜を形成する工程と、前記第1の膜を不活性ガス雰囲気中でアニールする工程と、を含むことを特徴とする。

【0012】

【発明の実施の形態】

以下、本発明の実施形態を図面を参照して説明する。

【0013】

(実施形態1)

図1は、本発明の第1の実施形態に係る半導体装置におけるキャパシタの構造を模式的に示したものである。

【0014】

図1に示したキャパシタは、シリコン基板等の半導体基板（図示せず）上に形成されており、不揮発性の強誘電体メモリにおける電荷保持用のキャパシタとして用いられる。

【0015】

以下、図1に示したキャパシタの製造方法を説明する。

【0016】

まず、LP-TEOS酸化膜等の下地膜上に、DCスパッタリング法によって、100nm厚のPt膜11を形成する。Ptのスパッタリングは、Arガス雰囲気にて行い、投入電力は3kW、成膜時間は20秒とする。続いて、SRO膜（SrRuO₃膜）12を、DCスパッタリングにより室温で形成する。SROのスパッタリングは、Arガス雰囲気にて行い、投入電力は700W、成膜時間は11.5秒とする。その後、酸素雰囲気中で600℃、30秒の熱処理を行い、SRO膜12を結晶化する。

【0017】

次に、SRO膜12上にPZT膜($\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ 膜)13を形成する。PZTは、Pb、Zr、Ti及びOを含有し、 ABO_3 で表されるペロブスカイト型の強誘電体である。Aサイト元素にはPbが、Bサイト元素にはZr及びTiが対応する。Aサイト元素或いはBサイト元素として、他の元素が少量含まれている場合もある。

【0018】

PZT膜13の形成工程を説明する。まず、RFマグネトロンスパッタにより、SRO膜12上にアモルファスPZT膜を室温にて堆積する。その後、RTAにより、600℃、30秒の熱処理を行い、アモルファスPZT膜を結晶化する。続いて、結晶化したアモルファスPZT膜上にさらにアモルファスPZT膜を堆積する。さらに、RTAにより、600℃、30秒の熱処理を行い、アモルファスPZT膜を結晶化する。これにより、合計130nm厚のPZT結晶膜13が形成される。このように、アモルファスPZT膜の堆積／アニール工程を2回繰り返すのは、PZT膜表面のラフネスを改善するため、Pbの分布を均一化させるため、等の理由による。なお、PZTターゲットとしては、例えば、 $(\text{Pb}_{1.07}, \text{La}_{0.03})(\text{Zr}_{0.4}, \text{Ti}_{0.6})\text{O}_3$ 組成の、高密度焼結ターゲットを用いる。また、各アモルファスPZT膜のスパッタリングは、Arガス雰囲気にて行い、投入電力は1.5kW、成膜時間は72秒とする。

【0019】

上記PZT膜13のアニール工程の詳細を説明する。下層PZT膜(PZT膜の下層部)については、最高温度600℃として、前半15秒は酸素ガス雰囲気で行い、後半15秒はArガス雰囲気で行う。酸素ガスからArガスへの切り替えは連続的に行う。上層PZT膜(PZT膜の上層部)については、最高温度600℃として、前半15秒はArガス雰囲気で行い、後半15秒は酸素ガス雰囲気で行う。Arガスから酸素ガスへの切り替えは連続的に行う。下層PZT膜の酸素ガス雰囲気中でのアニール工程により主としてPZT膜13bが得られ、その後の工程により主としてPZT膜13aが得られる。

【0020】

次に、P Z T 膜 1 3 上に、10 nm 厚の S R O 膜 1 4 を形成し、さらにその上に 50 nm 厚の P t 膜 1 5 を形成する。ここでは、S R O 膜 1 4 及び P t 膜 1 5 は、シャドーマスクを用いて堆積し、160 μ m 径の円状のパターン形状としている。その後、電気炉を用いて、酸素ガス雰囲気下で、600℃、1 時間の熱処理を行う。

【0021】

以上のようにして、P t 膜 1 1 及び S R O 膜 1 2 からなる下部電極と、S R O 膜 1 4 及び P t 膜 1 5 からなる上部電極との間に、P Z T 膜 1 3 からなる強誘電体膜が挟まれたキャパシタ構造が得られる。

【0022】

図 2 は、本実施形態の比較例に係るキャパシタ構造を模式的に示したものである。P t 膜 1 1、S R O 膜 1 2、S R O 膜 1 4 及び P t 膜 1 5 の形成方法は図 1 に示した実施形態と同様であるが、P Z T 膜 1 3 のアニール方法が図 1 に示した実施形態とは異なっている。比較例においても、アモルファス P Z T 膜の堆積／アニール工程を 2 回行うが、いずれのアニール工程（R T A、600℃、30 秒）も、酸素ガス雰囲気にて行う。

【0023】

図 3 は、図 1 に示した本実施形態のキャパシタの断面構造を、T E M (Tunnel Electron Microscopy) 観察したものである。ここでは、上部電極（S R O 膜及び P t 膜）を形成する前の構造を示している。

【0024】

本実施形態のアニール方法によって得られた P Z T 膜 1 3 a は、結晶粒の形状が円錐状或いは卵状となっている。すなわち、図 1 及び図 3 に示すように、結晶粒の断面形状は、楔状或いは楕円状となっている。このような結晶粒の形状を有しているため、結晶粒間の粒界の方向が揃っておらず（粒界の方向が複数の方向を有している）、粒界の方向がランダムになっている。言い換えると、P Z T 膜の下面と上面との間で粒界がジグザグになっている。また、P Z T 膜 1 3 b は、後述する比較例と同様の構造を有しており、P Z T 膜の結晶粒の形状が柱状となっている。

【0025】

図4は、図2に示した比較例のキャパシタの断面構造を、TEM観察したものである。比較例では、PZT膜の結晶粒の形状が柱状となっており、結晶粒の断面形状は長形状（矩形状）となっている。そして、粒界の方向はPZT膜の下面及び上面に対してほぼ垂直であり、各粒界の方向が揃っている（粒界の方向が一方向である）。

【0026】

次に、本発明の実施形態及び比較例における強誘電体キャパシタの電気的特性について述べる。

【0027】

図5及び図6は、リーク電流特性（I-V特性）の測定結果を示したものである。図5の（O₂-Ar/Ar-O₂）が本実施形態の特性であり、図6が比較例の特性である。比較例では、±4Vの電圧において $1.3 \times 10^{-6} \text{ A/cm}^2$ のリーク電流密度であるのに対し、本実施形態では、±4Vの電圧において $4.6 \times 10^{-7} \text{ A/cm}^2$ のリーク電流密度であり、リーク電流特性が著しく改善されている。

【0028】

上述した結果の要因を調べるため、PZT膜の粒界に存在する元素をTEM-EDXによって分析した。その結果を図7（本実施形態）及び図8（比較例）に示す。比較例では、PZTの粒界においてRuなどのピークが強く検出されている。これに対して、本実施形態では、PZTの粒界においてRuなどのピークがほとんど見られない。これは、図3及び図4のTEM像に示されるように、本実施形態と比較例ではグレイン形状が違うため、Ru等の拡散の度合いが変わったことによるものと思われる。すなわち、本実施形態では、粒界がジグザクであるため、拡散距離が長くなり、Ru等の拡散が抑えられたものと考えられる。

【0029】

図9は、RTAガスの種類を変えて、Pb量の温度依存性をICP分析にて調べた結果を示したものである。図9に示すように、300℃～700℃において、酸素雰囲気中のRTAではPb量の低下が小さいのに対し、Ar雰囲気中のR

TAでは、結晶化温度付近でPb量が急激に低下し、Pbの割合がストイキメトリに近い値となる。

【0030】

以上の結果から、比較例では、PZTの粒界に多くのPbが残存し、さらにRuが拡散して、 $Pb_2Ru_2O_{7-x}$ で表される導電性の酸化物が形成され、これがリークパスになると考えられる。本実施形態では、粒界がジグザグでグレイン形状が緻密化されているためRu拡散が抑制され、またAr雰囲気でのRTAによりPb量が低減されるため、リーク電流が低減したと考えられる。

【0031】

図10は、分極疲労特性の測定結果を示したものである。スイッチング時の駆動電圧は6V、パルス幅は10 μ 秒、分極測定時の印加電圧は4Vとした。比較例の場合(O₂/O₂)には、10⁵～10⁶回のスイッチングサイクル付近から、残留分極量が低下し始めている。一方、本実施形態の場合(O₂-Ar/Ar-O₂)には、10¹⁰回の分極反転の後でも残留分極量が低下していない。本実施形態では、Pb量が最適化されているためと考えられる。

【0032】

図11は、インプリント特性の測定結果を示したものである。150℃、600時間以上の加熱後、本実施形態の場合(O₂-Ar/Ar-O₂)には、比較例の場合(O₂/O₂)に比べて、初期値に対する電圧シフトが0.1V程度低下しており、良好なインプリント特性が得られている。

【0033】

以上のように、本発明の実施形態では、アモルファスPZT膜をArガス雰囲気アニールすることにより、結晶化後のPZT膜では、緻密で微細な結晶粒が得られるとともに粒界がジグザグになる。また、粒界及び界面のPb量を制御することができる。その結果、PZT膜中に含まれるPb量が低減され、電極に含まれるRuの拡散が抑制されるため、リーク電流を大幅に低減することが可能となる。また、PZT膜界面のPbの割合が最適化され、分極疲労特性等のキャパシタの信頼性を向上させることが可能となる。

【0034】

(実施形態 2)

図 12 は、本発明の第 2 の実施形態に係る半導体装置におけるキャパシタの構造を模式的に示したものである。基本的な構造は図 1 に示した第 1 の実施形態と同様であるが、本実施形態では P Z T 膜の構成が第 1 の実施形態とは異なっている。

【0035】

以下、図 12 に示したキャパシタの製造方法を説明する。なお、P t 膜 11、S R O 膜 12、S R O 膜 14 及び P t 膜 15 の構成や形成方法は、第 1 の実施形態と同様であるため、ここでは P Z T 膜 13 a 及び 13 b の形成方法等について説明する。

【0036】

本実施形態においても、第 1 の実施形態と同様、アモルファス P Z T 膜の堆積／アニール工程を 2 回繰り返す。アモルファス P Z T 膜の成膜条件等は第 1 の実施形態と同様であるが、アニール工程（R T A 工程）が第 1 の実施形態とは異なる。1 層目の P Z T 膜 13 a については、1 層目のアモルファス P Z T 膜堆積後、A r ガス雰囲気中でアニールを行う。2 層目の P Z T 膜 13 b については、2 層目のアモルファス P Z T 膜堆積後、酸素ガス雰囲気中でアニールを行う。いずれのアニール工程も、最高温度 600℃、アニール時間 30 秒とする。

【0037】

上述した方法により、1 層目の P Z T 膜 13 a は、図 1 に示した第 1 の実施形態の P Z T 膜 13 a と同様の構造になる。2 層目の P Z T 膜 13 b は、図 2 に示した第 1 の実施形態の比較例における P Z T 膜 13 と同様の構造になる。

【0038】

次に、本実施形態の強誘電体キャパシタの電気的特性について述べる。

【0039】

図 5 に、リーク電流特性（I-V 特性）の測定結果を示す。本実施形態の場合（A r /O₂）では、±4 V の電圧において $4 \times 10^{-7} \text{ A/cm}^2$ 程度のリーク電流密度であり、リーク電流特性が著しく改善されている。第 1 の実施形態で示した効果が改善要因と考えられる。

【0040】

図10に、分極疲労特性の測定結果を示す。スイッチング時の駆動電圧は6V、パルス幅は10 μ 秒、分極測定時の印加電圧は4Vとした。本実施形態の場合(Ar/O₂)では、10¹⁰回の分極反転の後でも残留分極量が低下していない。1層目のPZT膜と2層目のPZT膜とでアニール雰囲気を変にした場合、すなわち1層目を酸素雰囲気、2層目をAr雰囲気でアニールした場合(O₂/Ar)の測定結果も図10に示した。この場合には、劣化が生じている。これは、2層目のPZT膜の上面近傍が、Ar雰囲気中でのRTAにより、酸素不十分な状態になったためと考えられる。すなわち、SRO膜形成過程において、SRO膜中の酸素がPZT膜に抜き取られ、SRO膜の結晶性が低下したことによると考えられる。

【0041】

図11に、インプリント特性の測定結果を示す。150℃、600時間以上の加熱後、本実施形態の場合(Ar/O₂)には、第1の実施形態の比較例の場合(O₂/O₂)に比べて、初期値に対する電圧シフトが0.1V程度低減しており、良好なインプリント特性が得られている。

【0042】

以上のように、本実施形態においても、第1の実施形態と同様、リーク電流の低減、分極疲労特性の改善等、キャパシタの特性や信頼性を向上させることが可能となる。

【0043】

なお、上述した各実施形態では、BEOL工程(Back End Of the Line : コンタクト、配線及び層間膜等の形成、エッチング、平坦化ポリッシング等の工程)は含んでいないが、フルプロセスを経た場合であっても、上述した効果を得ることが可能である。また、上述した各実施形態では、アモルファスPZT膜等をスパッタリングによって形成したが、その他の成膜技術を用いることも可能である。

【0044】

また、プラグ材にポリシリコンやタングステンなどを使用して、COP(Capa

citor On Plug) 構造を持つメモリデバイスを作製する場合には、上述した各実施形態の方法を用いることにより、酸化剤のプラグ表面への進入を防ぐことができ、半導体記憶装置の高集積化を実現することが可能である。

【0045】

さらに、上述した実施形態において、不活性ガスとして、Ar ガスの代わりに、He ガス、Ne ガス、Ar ガス、Kr ガス、Xe ガス、Rn ガス或いは窒素ガスを用いて、アニールを行うことも可能である。

【0046】

以上、本発明の実施形態を説明したが、本発明は上記実施形態に限定されるものではなく、その趣旨を逸脱しない範囲内において種々変形して実施することが可能である。さらに、上記実施形態には種々の段階の発明が含まれており、開示された構成要件を適宜組み合わせることによって種々の発明が抽出され得る。例えば、開示された構成要件からいくつかの構成要件が削除されても、所定の効果が得られるものであれば発明として抽出され得る。

【0047】

【発明の効果】

本発明によれば、リーク電流の低減や分極疲労特性の改善等、キャパシタの特性や信頼性を向上させることが可能となる。

【図面の簡単な説明】

【図1】

本発明の第1の実施形態に係るキャパシタの構造を模式的に示した断面図である。

【図2】

本発明の比較例に係るキャパシタの構造を模式的に示した断面図である。

【図3】

本発明の第1の実施形態に係るキャパシタの断面構造を示した写真である。

【図4】

本発明の比較例に係るキャパシタの断面構造を示した写真である。

【図5】

キャパシタのリーク電流特性の測定結果を示した図である。

【図 6】

キャパシタのリーク電流特性の測定結果を示した図である。

【図 7】

本発明の実施形態に係り、P Z T 膜に含有された R u を TEM-EDX によって分析した結果を示した図である。

【図 8】

本発明の比較例に係り、P Z T 膜に含有された R u を TEM-EDX によって分析した結果を示した図である。

【図 9】

キャパシタ中の P b 量の温度依存性を I C P 分析にて調べた結果を示した図である。

【図 1 0】

キャパシタの分極疲労特性の測定結果を示した図である。

【図 1 1】

キャパシタのインプリント特性の測定結果を示した図である。

【図 1 2】

本発明の第 2 の実施形態に係るキャパシタの構造を模式的に示した断面図である。

【符号の説明】

1 1 … P t 膜

1 2 … S R O 膜

1 3、1 3 a、1 3 b … P Z T 膜

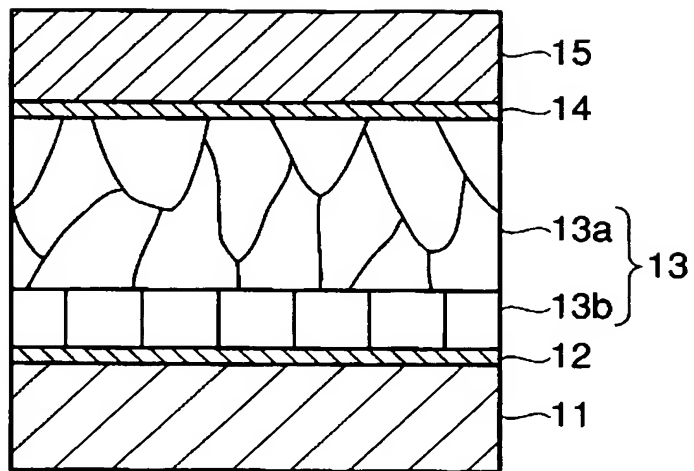
1 4 … S R O 膜

1 5 … P t 膜

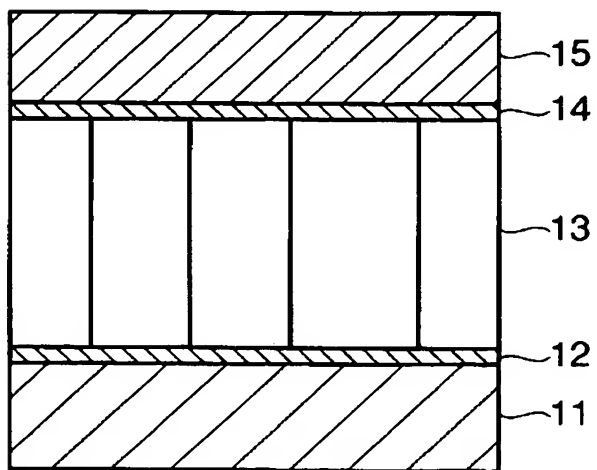
【書類名】

図面

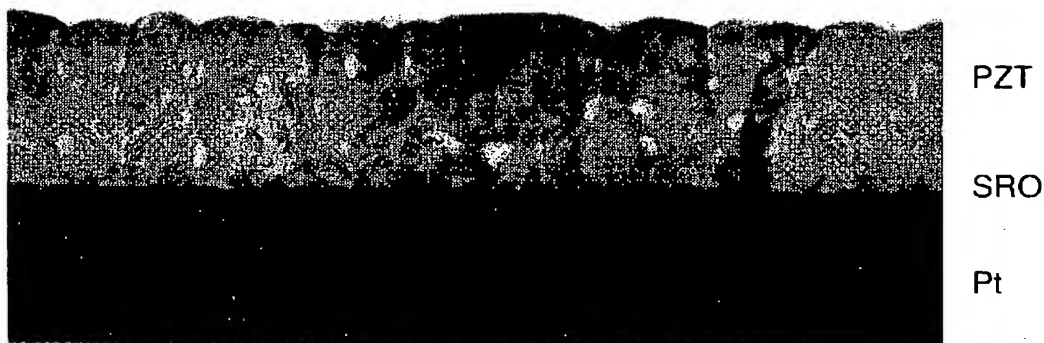
【図 1】



【図 2】



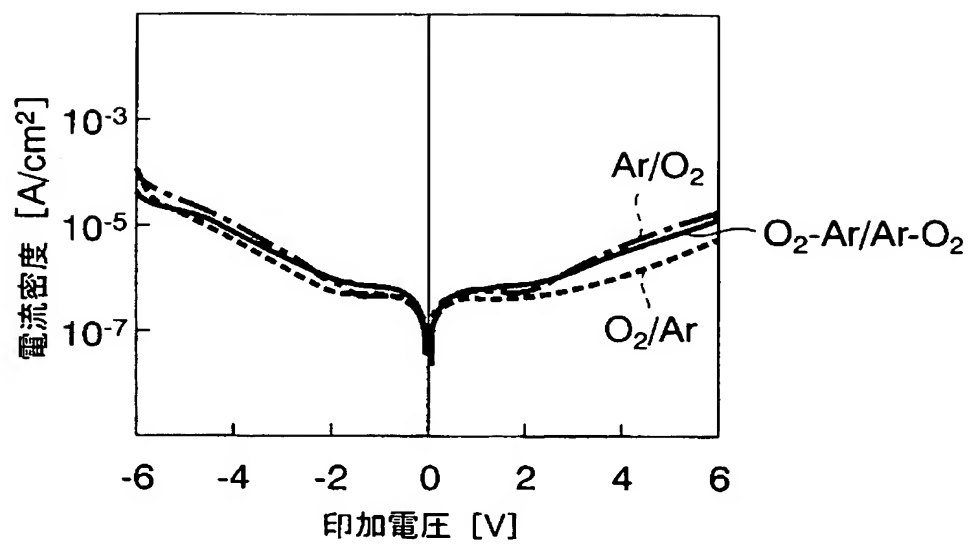
【図 3】



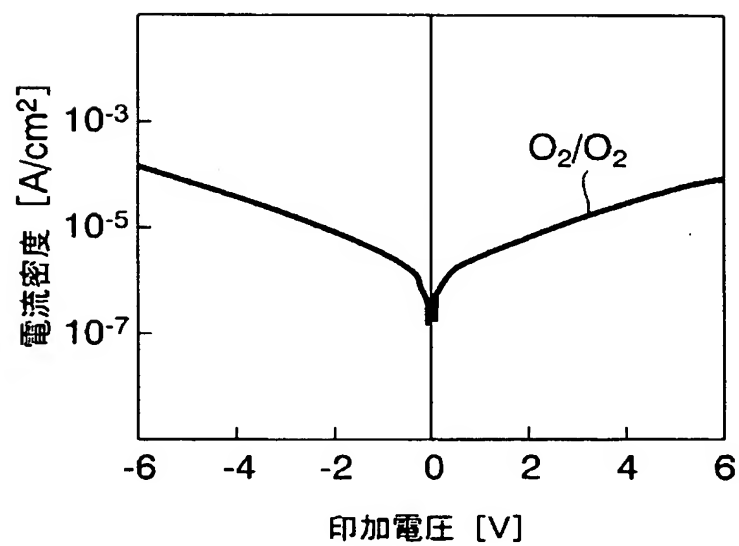
【図 4】



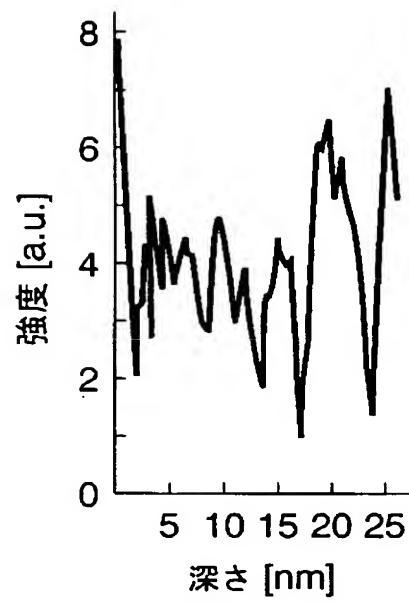
【図 5】



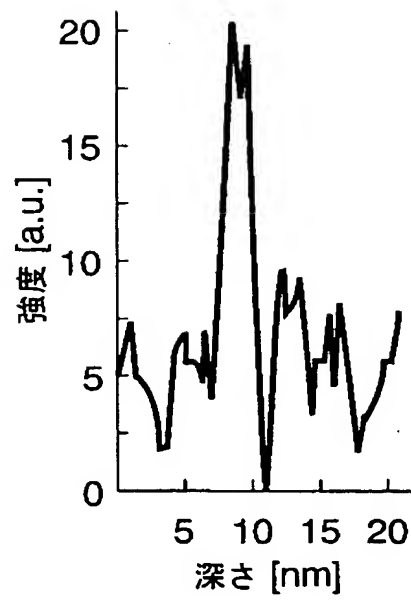
【図 6】



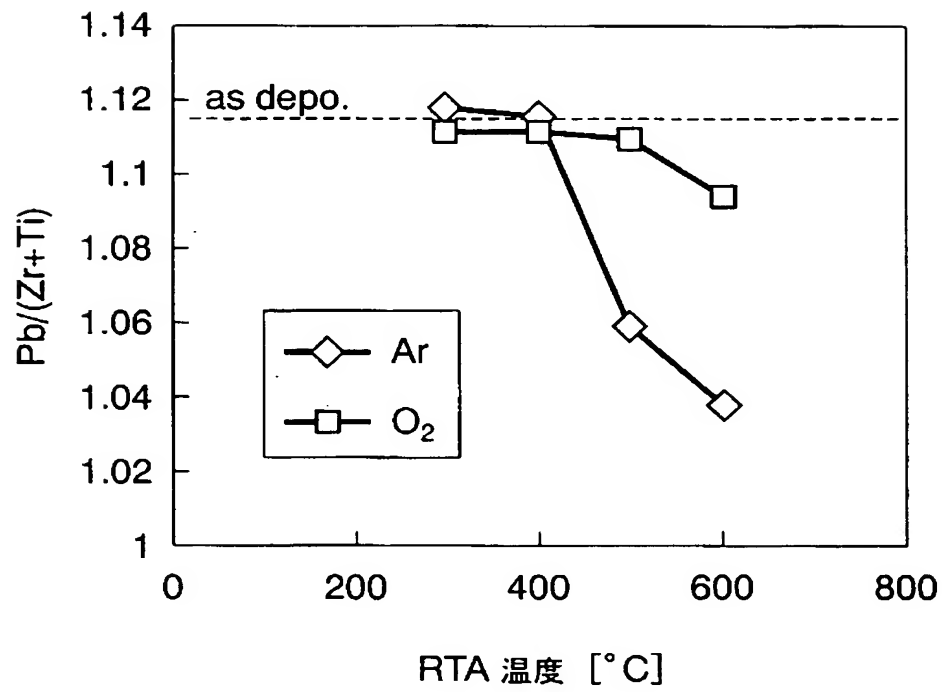
【図 7】



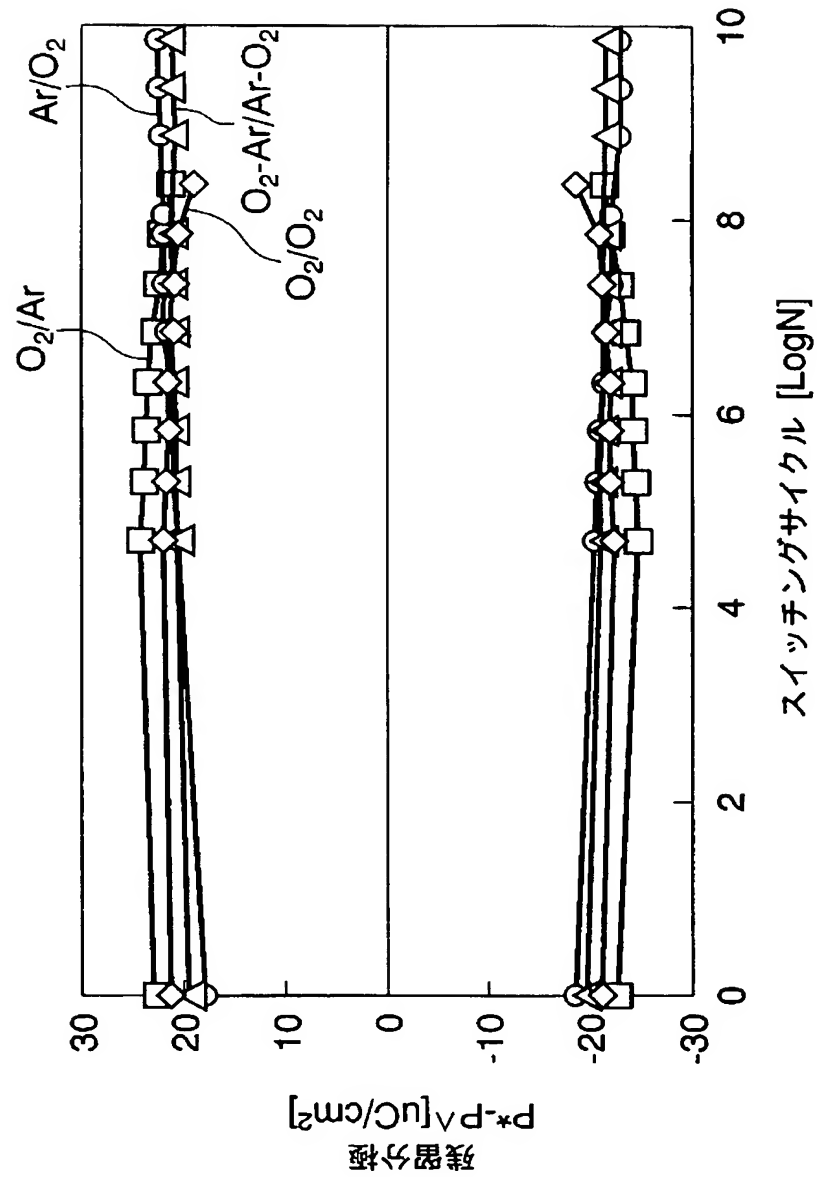
【図 8】



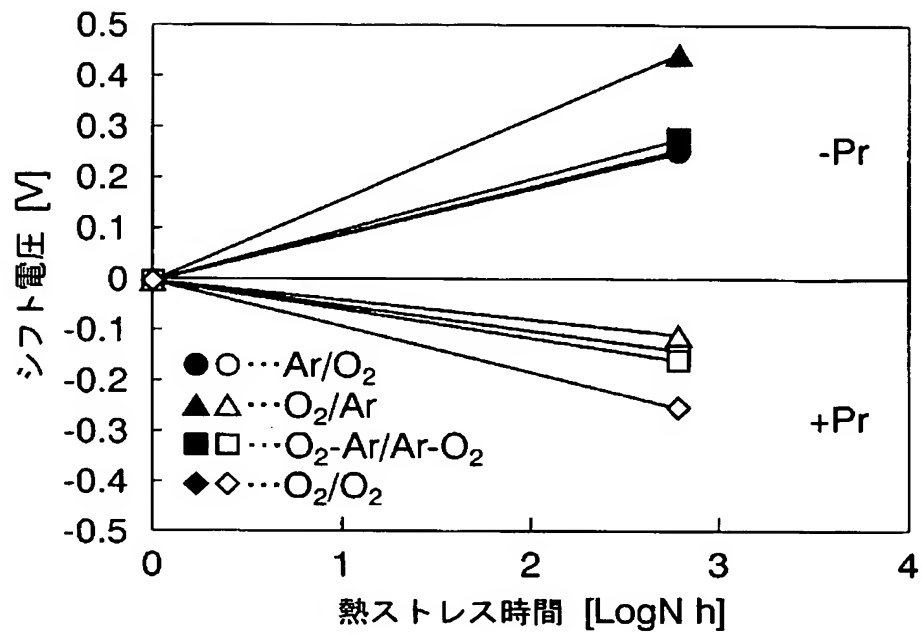
【図 9】



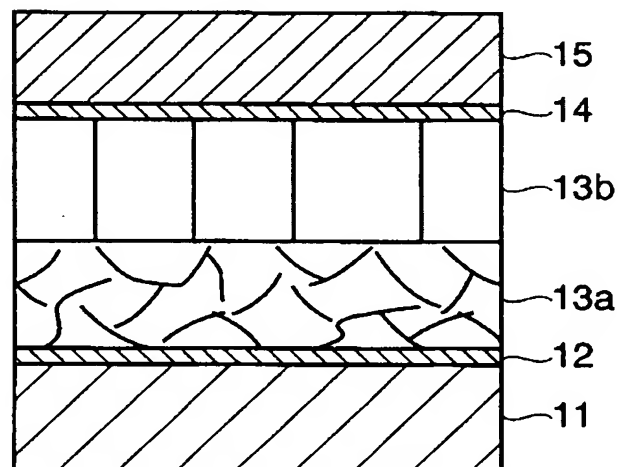
【図10】



【図 11】



【図 12】



【書類名】 要約書

【要約】

【課題】 特性や信頼性に優れたキャパシタを有する半導体装置及びその製造方法を提供する。

【解決手段】 下部電極 11, 12 と、上部電極 14, 15 と、上部電極と下部電極との間に形成され、Pb、Zr、Ti 及びOを含有したペロブスカイト型の強誘電体で形成された誘電体膜 13 と、を備えた半導体装置であって、誘電体膜は、複数の結晶粒で形成され粒界の方向が複数の方向を有している第1の膜 13a を含む。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2 0 0 2 - 1 5 4 5 8 5
受付番号	5 0 2 0 0 7 6 9 9 3 0
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 4 年 5 月 2 9 日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000003078
【住所又は居所】	東京都港区芝浦一丁目 1 番 1 号
【氏名又は名称】	株式会社東芝

【特許出願人】

【識別番号】	599158797
【住所又は居所】	ドイツ連邦共和国 ミュンヘン ザンクト マル ティン シュトラーセ 5 3
【氏名又は名称】	インフィネオン テクノロジース アクチエンゲ ゼルシャフト

【代理人】

申請人

【識別番号】	100058479
【住所又は居所】	東京都千代田区霞が関 3 丁目 7 番 2 号 鈴榮特許 綜合法律事務所内
【氏名又は名称】	鈴江 武彦

【選任した代理人】

【識別番号】	100084618
【住所又は居所】	東京都千代田区霞が関 3 丁目 7 番 2 号 鈴榮特許 綜合法律事務所内
【氏名又は名称】	村松 貞男

【選任した代理人】

【識別番号】	100068814
【住所又は居所】	東京都千代田区霞が関 3 丁目 7 番 2 号 鈴榮特許 綜合法律事務所内
【氏名又は名称】	坪井 淳

【選任した代理人】

【識別番号】	100092196
【住所又は居所】	東京都千代田区霞が関 3 丁目 7 番 2 号 鈴榮國特

次頁有

認定・付加情報 (続き)

	許綜合法律事務所内
【氏名又は名称】	橋本 良郎
【選任した代理人】	
【識別番号】	100091351
【住所又は居所】	東京都千代田区霞が関 3 丁目 7 番 2 号 鈴榮特許 綜合法律事務所内
【氏名又は名称】	河野 哲
【選任した代理人】	
【識別番号】	100088683
【住所又は居所】	東京都千代田区霞が関 3 丁目 7 番 2 号 鈴榮特許 綜合法律事務所内
【氏名又は名称】	中村 誠
【選任した代理人】	
【識別番号】	100070437
【住所又は居所】	東京都千代田区霞が関 3 丁目 7 番 2 号 鈴榮特許 綜合法律事務所内
【氏名又は名称】	河井 将次

次頁無

特願 2 0 0 2 - 1 5 4 5 8 5

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 3 0 7 8]

1. 変更年月日	2 0 0 1 年 7 月 2 日
[変更理由]	住所変更
住 所	東京都港区芝浦一丁目 1 番 1 号
氏 名	株式会社東芝

特願 2 0 0 2 - 1 5 4 5 8 5

出 願 人 履 歴 情 報

識別番号 [5 9 9 1 5 8 7 9 7]

1. 変更年月日 1 9 9 9 年 1 1 月 1 0 日

[変更理由] 新規登録

住 所 ドイツ連邦共和国 ミュンヘン ザンクト マルティン シュ
トラーセ 5 3

氏 名 インフィネオン テクノロジース アクチエンゲゼルシャフト